

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-134893

(43)Date of publication of application : 21.05.1999

(51)Int.CI.

G11C 19/28

G02F 1/133

G09G 3/36

(21)Application number : 09-298005

(71)Applicant : SONY CORP

(22)Date of filing : 30.10.1997

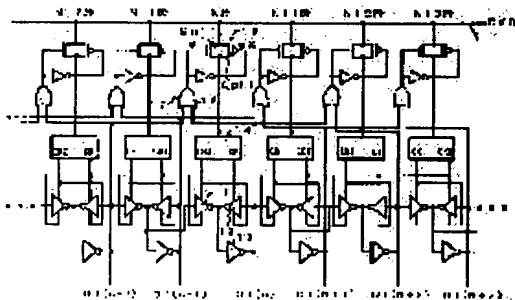
(72)Inventor : ICHIKAWA HIROAKI

## (54) SHIFT REGISTER AND DRIVING CIRCUIT OF MATRIX-TYPE LIQUID CRYSTAL DISPLAY DEVICE USING THE SHIFT REGISTER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the additional capacitance of a clock transfer line and realize a low power consumption and a high speed transfer.

**SOLUTION:** A single phase clock CK0 is inputted to each C-MOS analog switch 16 whose switching control is practiced in accordance with the output pulse of each OR gate 18 which receives two inputs, i.e., the input pulse of a transfer stage one stage before and the output pulse of a transfer stage of itself. In accordance with the single phase clock CK0 supplied selectively through the C-MOS analog switch 16, clocks CK and CKX whose phases are opposite to each other are generated by a clock generating circuit 14 and supplied to clocked inverters 11 and 12 to practice the transfer operations of the respective transfer stages only if necessary.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

[rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平11-134893

(43)公開日 平成11年(1999)5月21日

(51) Int.Cl.<sup>o</sup> 識別記号  
G 1 1 C 19/28 5 5 0  
G 0 2 F 1/133  
G 0 9 G 3/36

F I  
G 1 1 C 19/28 B  
G 0 2 F 1/133 5 5 0  
G 0 9 G 3/36

審査請求 未請求 請求項の数3 OL (全 7 頁)

(21) 出圖番號 特廣平9-298005

(22)出願日 平成9年(1997)10月30日

(71) 出國人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 市川 弘明

東京都品川区北品川6丁目7番35号 ソニービル  
一株式会社内

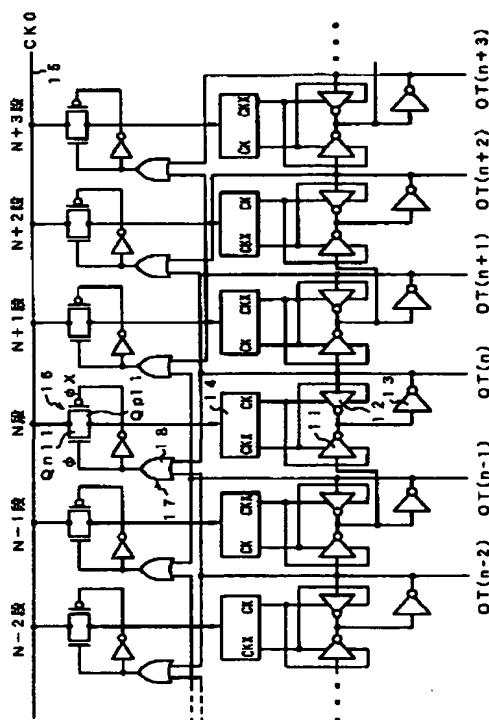
(74)代理人 弁理士 船橋 國則

(54) [発明の名称] シフトレジスタおよびこれを用いたマトリクス型液晶表示装置の駆動回路

(57) 【要約】

**【課題】** マトリクス型液晶表示装置において、水平／垂直走査回路としてシフトレジスタを用いた場合に、画素の高精細化、液晶パネルの大型化が進むにつれてシフトレジスタの段数が増加すると、それに伴ってクロック伝送ラインの付加容量が増し、消費電力が増大するとともに、転送速度が低下することになる。

【解決手段】 単相クロック CK0を入力とともに、各転送段において、1段前の転送段の入力パルスと自段の転送段の出力パルスを2入力とするORゲート18の出力パルスに基づいてC-MOSアナログスイッチ16のスイッチング制御を行い、C-MOSアナログスイッチ16から選択的に供給される単相クロック CK0に基づいて互いに逆相の2相のクロック CK, CKXをクロック生成回路14で生成し、クロックドインバータ11, 12に供給し、各転送段の転送動作を必要なときにのみ行うようにする。



(2)

特開平 11-134893

1

2

## 【特許請求の範囲】

【請求項 1】 縦縫接続された複数段の転送段からなり、これら転送段の各々が、  
 単相クロックを入力とし、この単相クロックを選択的に出力するスイッチング素子と、  
 前記スイッチング素子から出力される单相クロックに基づいて互いに逆相の2相のクロックを生成するクロック生成回路と、  
 前記クロック生成回路で生成された前記2相のクロックに応答して動作するクロックドインバータを用いてなるレジスタと、  
 1段前の転送段の入力パルスと自段の転送段の出力パルスに基づいて前記スイッチング素子のスイッチング制御を行う制御回路とを備えていることを特徴とするシフトレジスタ。

【請求項 2】 前記スイッチング素子は、C-MOSアナログスイッチからなり、前記単相クロックを伝送するクロック伝送ラインと正側電源ラインとの間に配置されていることを特徴とする請求項1記載のシフトレジスタ。

【請求項 3】 行列状に2次元配置された複数個の画素を列単位／行単位で選択する水平／垂直走査回路としてシフトレジスタを用いたマトリクス型液晶表示装置の駆動回路において、

前記シフトレジスタの転送段の各々が、  
 単相クロックを入力とし、この単相クロックを選択的に出力するスイッチング素子と、  
 前記スイッチング素子から出力される单相クロックに基づいて互いに逆相の2相のクロックを生成するクロック生成回路と、  
 前記クロック生成回路で生成された前記2相のクロックに応答して動作するクロックドインバータを用いてなるレジスタと、  
 1段前の転送段の入力パルスと自段の転送段の出力パルスに基づいて前記スイッチング素子のスイッチング制御を行う制御回路とを備えていることを特徴とするマトリクス型液晶表示装置の駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、縦縫接続された複数段の転送段からなるシフトレジスタに関し、特にマトリクス型液晶表示装置の駆動回路における水平／垂直走査回路として用いて好適なシフトレジスタに関する。

## 【0002】

【従来の技術】マトリクス型表示装置の駆動回路において、その水平／垂直走査回路として、従来、縦縫接続された複数段の転送段からなり、これら転送段の各々がクロックドインバータを用いた構成のシフトレジスタが使用されている。その構成の一例を図7に示す。同図において、一対のクロックドインバータ101, 102の出

力端が共通に接続され、これらクロックドインバータ101, 102の共通接続された出力端にはインバータ103の入力端が接続され、このインバータ103の出力端はクロックドインバータ102の入力端に接続されている。

【0003】この一対のクロックドインバータ101, 102およびインバータ103からなる回路を一単位として1つの転送段(レジスタ)が構成され、この転送段が複数段縦縫接続されることによってシフトレジスタを構成している。そして、クロックドインバータ101の入力端が各転送段の入力端となり、クロックドインバータ102の入力端とインバータ103の出力端の共通接続点が各転送段の出力端となる。各段のクロックドインバータ101, 102には、互いに逆相の2相のクロックCK, CKXが与えられる。

【0004】1つの転送段の具体的な回路構成の一例を図8に示す。同図において、各ゲートおよび各ドレインがそれぞれ共通に接続されたPMOSトランジスタQp101およびNMOSトランジスタQn101からなるC-MOSインバータと、PMOSトランジスタQp101のソースと正電源VDDの間に接続され、クロックCKXをゲート入力とするPMOSトランジスタQp102と、NMOSトランジスタQn101のソースと負電源VSSの間に接続され、クロックCKをゲート入力とするNMOSトランジスタQn102とによってクロックドインバータ101が構成されている。

【0005】同様にして、各ゲートおよび各ドレインがそれぞれ共通に接続されたPMOSトランジスタQp103およびNMOSトランジスタQn103からなるC-MOSインバータと、PMOSトランジスタQp103のソースと正電源VDDの間に接続され、クロックCKをゲート入力とするPMOSトランジスタQp104と、NMOSトランジスタQn103のソースと負電源VSSの間に接続され、クロックCKXをゲート入力とするNMOSトランジスタQn104とによってクロックドインバータ102が構成されている。

【0006】また、各ゲートおよび各ドレインがそれぞれ共通に接続されたPMOSトランジスタQp105およびNMOSトランジスタQn105からなるC-MOSインバータによってインバータ103が構成されている。そして、クロックドインバータ101, 102の各出力端となるC-MOSインバータのドレイン共通接続点が相互に接続されるとともに、インバータ103の入力端となるC-MOSインバータのゲート共通接続点に接続され、またクロックドインバータ102の入力端となるC-MOSインバータのゲート共通接続点がインバータ103の出力端となるC-MOSインバータのドレイン共通接続点に接続されている。

【0007】上記構成の1つの転送段において、互いに逆相のクロックCK, CKXを伝送するクロック伝送ラ

50

(3)

特開平11-134893

3

4

イン104, 105の間には寄生容量C1が介在し、またMOSトランジスタのゲート-ソース間およびゲート-ドレイン間には拡散容量C2が形成され、さらに配線相互間にはクロス容量C3が介在する。そして、これらの容量C1~C3はクロック伝送ライン104, 105に対する付加容量として存在することになる。この転送段が複数段縦続接続されてなるシフトレジスタは、例えばアクティブマトリクス型液晶表示装置の駆動回路において、その水平/垂直走査回路として用いられる。

## 【0008】

【発明が解決しようとする課題】ところで、近年、アクティブマトリクス型液晶表示装置において、画素の高精細化、また液晶パネルの大型化が進められている。しかしながら、上述したように、1つの転送段においてクロック伝送ラインの付加容量C1~C3が存在することから、画素の高精細化、液晶パネルの大型化が進むにつれてシフトレジスタの段数が増加すると、それに伴ってクロック伝送ラインの付加容量が増すため、消費電力が増大するとともに、水平/垂直走査回路の転送速度(走査速度)が低下することになる。

【0009】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、クロック伝送ラインの付加容量を低減し、低消費電力化および高速転送を可能としたシフトレジスタおよびこれを水平/垂直走査回路として用いたマトリクス型液晶表示装置の駆動回路を提供することにある。

## 【0010】

【課題を解決するための手段】本発明によるシフトレジスタは、縦続接続された複数段の転送段からなり、これら転送段の各々が、単相クロックを入力とし、この単相クロックを選択的に出力するスイッチング素子と、このスイッチング素子から出力される单相クロックに基づいて互いに逆相の2相のクロックを生成するクロック生成回路と、このクロック生成回路で生成された2相のクロックに応答して動作するクロックドインバータを用いてなるレジスタと、1段前の転送段の入力パルスと自段の転送段の出力パルスに基づいて上記スイッチング素子のスイッチング制御を行う制御回路とを備えている。

【0011】上記構成のシフトレジスタにおいて、スイッチング素子は1段前の転送段の入力パルスと自段の転送段の出力パルスに基づいてスイッチング制御が行われることで、自段のシフト動作期間で单相クロックをクロック生成回路に供給する。すると、クロック生成回路は、この单相クロックに基づいて互いに逆相の2相のクロックを生成し、自段の転送段を構成するクロックドインバータに供給する。これにより、各転送段には、シフトの必要な期間にのみクロックが与えられ、シフト動作が行われる。そして、このシフトレジスタがマトリクス型液晶表示装置の駆動回路における水平/垂直走査回路として用いられる。

## 【0012】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態を示すブロック図である。

【0013】図1において、例えばN段目の転送段の構成について見てみると、一対のクロックドインバータ11, 12の出力端が共通に接続され、これらクロックドインバータ11, 12の共通接続された出力端にはインバータ13の入力端が接続され、このインバータ13の出力端はクロックドインバータ12の入力端に接続されている。

【0014】クロックドインバータ11, 12には、互いに逆相のクロックCK, CKXがクロック生成回路14から与えられる。このクロック生成回路14は、クロック伝送ライン15との間に接続されたスイッチング素子であるC-MOSアナログスイッチ16を介して選択的に供給される单相クロックCK0に基づいて、互いに逆相の2相のクロックCK, CKXを生成する。

【0015】C-MOSアナログスイッチ16は、互いに並列に接続されたNMOSトランジスタQn11およびPMOSトランジスタQp11からなり、互いに逆相の制御パルスφ, φXによってスイッチング制御が行われる。このC-MOSアナログスイッチ16に与えられる制御パルスφ, φXは、N段目の制御回路17において、1段前のN-1段の転送段の入力パルスIN(n-1)と自段の転送段の出力パルスOT(n)に基づいて生成される。

【0016】すなわち、制御回路17は、1段前のN-1段の転送段の入力パルスIN(n-1)、即ち2段前のN-2段の転送段の出力パルスOT(n-2)と自段の転送段の出力パルスOT(n)を2入力とし、その出力パルスを制御パルスφとしてC-MOSアナログスイッチ16のNMOSトランジスタQn11のゲートに与えるORゲート18と、このORゲート18の出力パルスを反転して制御パルスφXとしてC-MOSアナログスイッチ16のPMOSトランジスタQp11のゲートに与えるインバータ19とから構成されている。

【0017】以上説明した、一対のクロックドインバータ11, 12、インバータ13、クロック生成回路14、C-MOSアナログスイッチ16および制御回路17からなる回路を一単位として1つの転送段(レジスタ)が構成され、この転送段が複数段(……, N-1段, N段, N+1段, ...)縦続接続されることによってシフトレジスタを構成している。そして、クロックドインバータ11の入力端が各転送段の入力端となり、クロックドインバータ12の入力端とインバータ13の出力端の共通接続点が各転送段の出力端となる。

【0018】図2に、N段目の転送段の具体的な回路構成の一例を示す。同図において、各ゲートおよび各ドレンがそれぞれ共通に接続されたPMOSトランジスタ

## 5

Q<sub>p</sub> 2 1 およびNMOSトランジスタQ<sub>n</sub> 2 1からなるC-MOSインバータと、PMOSトランジスタQ<sub>p</sub> 2 1のソースと正電源VDDの間に接続され、クロックCKXをゲート入力とするPMOSトランジスタQ<sub>p</sub> 2 2と、NMOSトランジスタQ<sub>n</sub> 2 1のソースと負電源VSSの間に接続され、クロックCKをゲート入力とするNMOSトランジスタQ<sub>n</sub> 2 2とによってクロックドインバータ1 1が構成されている。

【0019】同様にして、各ゲートおよび各ドレインがそれぞれ共通に接続されたPMOSトランジスタQ<sub>p</sub> 2 3およびNMOSトランジスタQ<sub>n</sub> 2 3からなるC-MOSインバータと、PMOSトランジスタQ<sub>p</sub> 2 3のソースと正電源VDDの間に接続され、クロックCKをゲート入力とするPMOSトランジスタQ<sub>p</sub> 2 4と、NMOSトランジスタQ<sub>n</sub> 2 3のソースと負電源VSSの間に接続され、クロックCKXをゲート入力とするNMOSトランジスタQ<sub>n</sub> 2 4とによってクロックドインバータ1 2が構成されている。

【0020】また、各ゲートおよび各ドレインがそれぞれ共通に接続されたPMOSトランジスタQ<sub>p</sub> 2 5およびNMOSトランジスタQ<sub>n</sub> 2 5からなるC-MOSインバータによってインバータ1 3が構成されている。そして、クロックドインバータ1 1, 1 2の各出力端となるC-MOSインバータのドレイン共通接続点が相互に接続されるとともに、インバータ1 3の入力端となるC-MOSインバータのゲート共通接続点に接続され、またクロックドインバータ1 2の入力端となるC-MOSインバータのゲート共通接続点がインバータ1 3の出力端となるC-MOSインバータのドレイン共通接続点に接続されている。

【0021】図3に、クロックCK, CKXを生成するクロック生成回路1 4の回路構成の一例を示す。このクロック生成回路1 4は、入力される単相のクロックCK0の極性を反転するインバータ2 1と、このインバータ2 1から出力されるクロックの極性をさらに反転して入力クロックCK0と同相のクロックCKとするインバータ2 2と、インバータ2 1から出力されるクロックの極性を2度反転して入力クロックCK0と逆相のクロックCKXとするインバータ2 3, 2 4と、インバータ2 2の出力端とインバータ2 4の出力端の間に互いに逆方向に並列接続されてクロックCK, CKXの相互間の位相を調整してそれらの遷移タイミングを一致させるインバータ2 5, 2 6とから構成されている。

【0022】ここで、上記構成のクロック生成回路1 4およびC-MOSアナログスイッチ1 6の動作について、図1におけるN段目の転送段を例にとって図4のタイミングチャートを参照して説明する。

【0023】なお、図4のタイミングチャートには、单相のクロックCK、2段前の転送段の入力パルスIN(n-2)、1段前の転送段の入力パルスIN(n-

## 6

1)、自段の転送段の入力パルスIN(n)、自段の転送段の出力パルスOT(n)、制御パルスφ、クロック生成回路1 4の入力パルス(a)および2つの出力パルス(b), (c)のタイミング関係が示されている。このタイミングチャートにおいて、2段前の転送段の入力パルスIN(n-2)は3段前の転送段の出力パルスOT(n-3)と、1段前の転送段の入力パルスIN(n-1)は2段前の転送段の出力パルスOT(n-2)と、自段の転送段の入力パルスIN(n)は1段前の転送段の出力パルスOT(n-1)とそれぞれ同じである。

【0024】N段目の転送段において、1段前のN-1段の転送段の入力パルスIN(n-1)と自段の転送段の出力パルスOT(n)との論理和がORゲート1 8でとられ、当該ORゲート1 8の出力パルスである制御パルスφがハイレベル、その反転パルスである制御パルスφXがローレベルになることで、C-MOSアナログスイッチ1 6がオン(導通)状態となり、そのオン期間の間、クロック伝送ライン1 5によって伝送される単相のクロックCK0をクロック生成回路1 4にクロック(a)として供給する。

【0025】すると、クロック生成回路1 4は、C-MOSアナログスイッチ1 6から選択的に供給されるクロック(a)に基づいて、互いに逆相でかつ遷移タイミングが合致した2相のクロックCK(b), CKX(c)を生成し、クロックドインバータ1 1, 1 2にそれぞれ供給する。これにより、クロックドインバータ1 1, 1 2がクロックCK(b), CKX(c)に応答して動作を開始し、よってN段目の転送段がシフト動作を実行する。

【0026】以上の動作説明から明らかなように、N段目の転送段には、1段前の転送段から出力パルスOT(n-1)が発せられ、自段の転送段に入力パルスIN(n)が与えられる直前、即ち1段前の転送段へ入力パルスIN(n-1)が与えられる時点から、自段の転送段が出力パルスOT(n)の発生を終了する時点までの期間(即ち、自段の転送段のシフト動作期間)にのみ、C-MOSアナログスイッチ1 6がオン状態となって单相のクロックCK0がクロック生成回路1 4に供給され、このクロック生成回路1 4からクロックドインバータ1 1, 1 2にクロックCK, CKXが供給されることになる。

【0027】これによれば、上記構成のシフトレジスタにおいて、各段の転送段が自段の転送タイミングでのみシフト動作を行うことになるため、各段の転送段が常時シフト動作を行っていた場合に比べて大幅に消費電力を低減できることになる。しかも、C-MOSアナログスイッチ1 6の制御パルスφ, φXを各転送段ごとに設けられた制御回路1 7によって生成するようしているので、当該制御パルスを外部から入力する必要がなく、そ

のための配線等も不要となる。

【0028】一方、クロック伝送ラインの付加容量については、従来の回路構成では、図8に示したように、クロック伝送ライン104, 105の間に発生する寄生容量C1、MOSトランジスタのゲート-ソース間およびゲート-ドレイン間に形成される拡散容量C2および配線間のクロス容量C3が存在していたのに対し、本実施形態に係る回路構成では、図2から明らかなように、C-MOSアナログスイッチ16がクロック伝送ライン15と正側電源ライン20との間に配置されていることから、MOSトランジスタのゲート-ソース間およびゲート-ドレイン間に形成される拡散容量C2のみが存在することになる。

【0029】図8の回路では、クロックCKX分の容量C2, C3についてもクロックCKと同様に形成されるため、図2の容量C2と図8の容量C2が等しいものとすると、クロック伝送ラインの付加容量 $\Delta C$ は、

$$\Delta C = \{C_1 + (C_2 + C_3) * 2\} - C_2 \quad \dots (1)$$

となり、従来の回路構成のものに比べて大幅に低減でき

$$W_1/W_3 = C_2 / (C_1/2 + C_2 + C_3) * (1/2) \quad \dots (2)$$

の関係式で表される。

【0032】以上説明した本実施形態に係るシフトレジスタは、例えば、アクティブマトリクス型液晶表示装置の駆動回路における水平／垂直走査回路として用いられる。図6に、アクティブマトリクス型液晶表示装置の構成の一例を示す。

【0033】図6において、複数行のゲートバスライン31の各々と複数列の信号ライン32の各々の交差部には複数個の画素33が2次元配置されている。これら画素33は各々、ゲートバスライン31にゲート電極が、信号ライン32にソース電極がそれぞれ接続されたTFT(薄膜トランジスタ)34と、このTFT34のドレン電極に画素電極が接続された液晶セル35と、当該ドレン電極に一方の電極が接続された補助容量36とから構成されている。液晶セル35の対向電極には、コモン電圧Vcomが印加される。

【0034】複数個の画素33は、列単位で選択して駆動するための水平駆動回路37および行単位で選択して駆動するための垂直駆動回路38によって駆動される。この水平駆動回路37および垂直駆動回路38は、水平方向および垂直方向に順次走査するための走査回路を内蔵しており、この走査回路として先述した本発明に係るシフトレジスタが用いられる。

【0035】このように、クロック転送ラインの付加容量を大幅に低減した本発明に係るシフトレジスタを、例えばアクティブマトリクス型液晶表示装置の駆動回路における水平／垂直走査回路として用いることにより、特に当該駆動回路を複数個の画素33と同一基板上に搭載して構成する場合において、従来の回路構成に比べて大幅に消費電力を低減できるとともに、より高速な転

ることになる。これにより、消費電力を低減できるとともに、高速転送(シフト)が可能となる。

【0030】また、外部から2相のクロックCK, CKXを供給するのではなく、単相クロックCK0のみを供給し、内部でこの単相クロックCK0に基づいて2相のクロックCK, CKXを生成してシフト動作を行うため、本シフトレジスタにクロックを与えるクロックバッファを同一基板上に形成する場合に、図8の従来回路であれば、例えば図5(A)に示すように、2相のクロックCK, CKXをバッファリングしなくてはならないのに対し、図2の回路の場合は、例えば図5(B)に示すように、単相クロックCK0分のみのバッファリングで良い。

【0031】すなわち、単相クロックCK0による順次転送であるため、クロックバッファの回路構成を非常にシンプルなものとするとともに、約1/2の消費電力で動作可能となる。上記のクロックバッファの回路構成と(1)式から、図2の回路構成の消費電力W1は、図8の回路構成の消費電力W2に対して、

送動作(走査)が可能となる。

#### 【0036】

【発明の効果】以上説明したように、本発明によれば、縦縦接続された複数段の転送段からなり、これら転送段の各々がクロックドインバータを用いてなるシフトレジスタにおいて、単相クロックを入力とし、この単相クロックを各転送段に選択的に供給するとともに、各転送段では選択的に供給される単相クロックに基づいて互いに逆相の2相のクロックを生成してクロックドインバータに与える構成としたことにより、クロック伝送ライン自身の寄生容量を低減できるとともに、各転送段が必要なときのみ動作するため、消費電力を低減できるとともに、高速転送が可能となる。

【0037】また、マトリクス型液晶表示装置の駆動回路において、本発明によるシフトレジスタを水平／垂直走査回路として用いることにより、シフトレジスタにおける単位転送段当りのクロック伝送ラインの寄生容量が小さいことから、シフトレジスタの段数が増えてもクロック伝送ラインの寄生容量の増加に起因する消費電力の増加および転送速度の低下は少なく、したがって画素の高精細化、液晶パネルの大型化に寄与できることになる。

#### 【図面の簡単な説明】

【図1】本発明の一実施形態を示すブロック図である。

【図2】本実施形態に係る1つの転送段の具体的な回路構成を示す回路図である。

【図3】クロック生成回路の構成の一例を示すブロック図である。

【図4】本実施形態に係るタイミングチャートである。

【図5】従来例(A)と本発明(B)に係るクロックバ

ツッファの構成を示すブロック図である。

【図6】本発明が適用されるアクティブマトリクス型液晶表示装置の一例を示す概略構成図である。

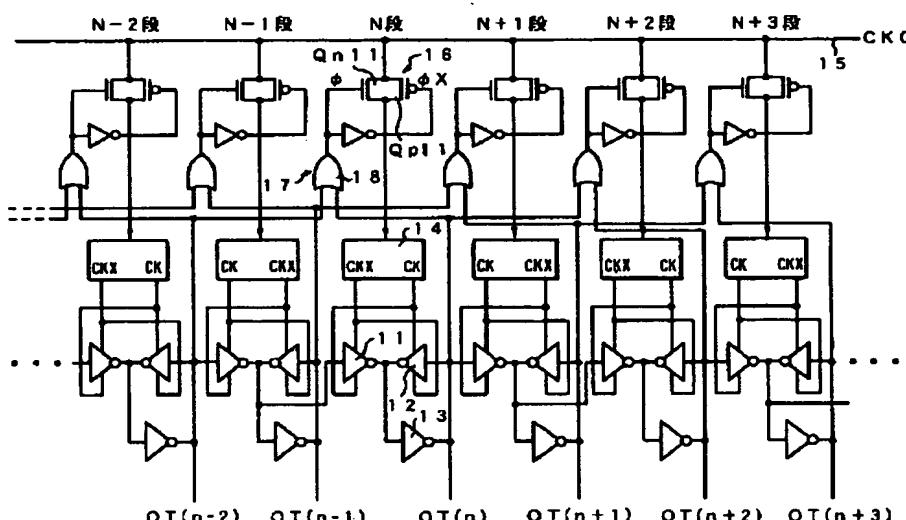
【図7】従来例を示すブロック図である。

【図8】従来例に係る1つの転送段の回路構成を示す回路図である。

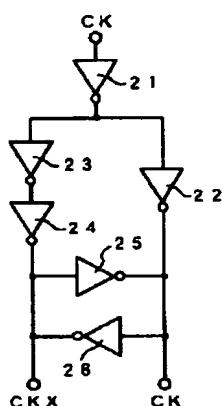
### 【符号の説明】

1 1, 1 2…クロックドインバータ、1 4…クロック生成回路、1 5…クロック伝送ライン、1 6…C-MOSアナログスイッチ、1 7…制御回路、1 8…ORゲート、3 3…画素、3 4…薄膜トランジスタ(TFT)、3 5…液晶セル、3 6…補助容量

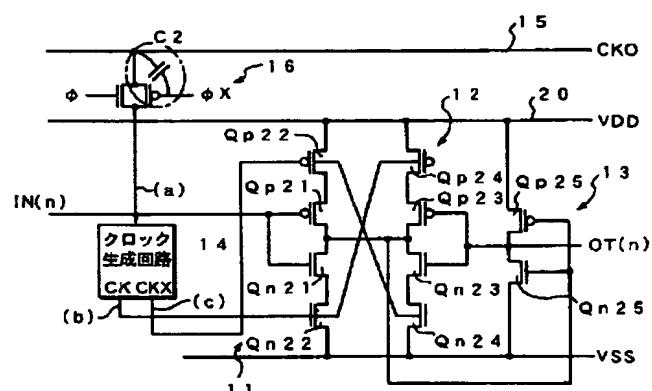
【図1】



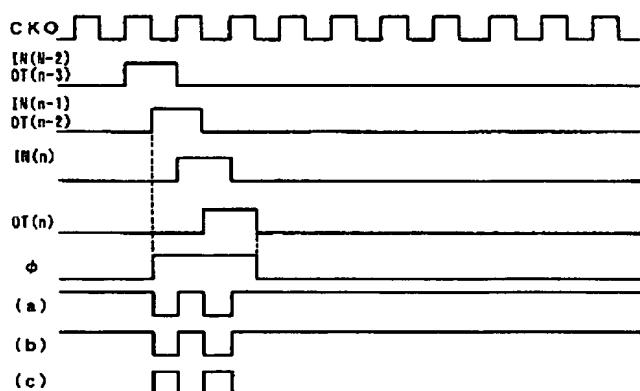
【図3】



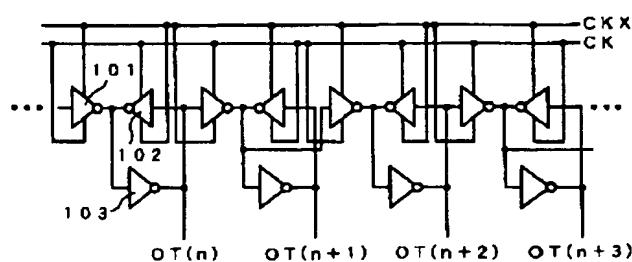
【図2】



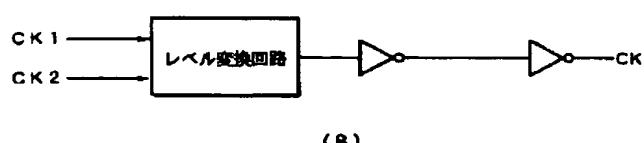
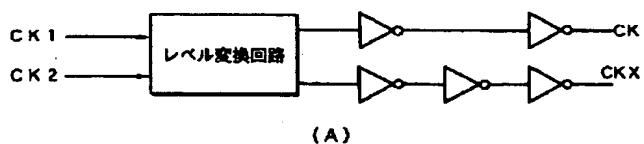
【図4】



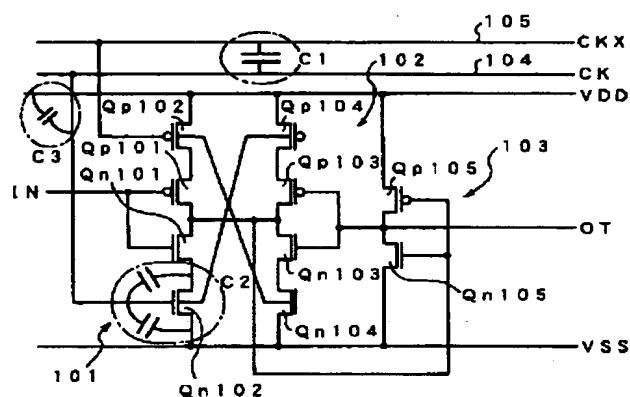
【図7】



【図 5】



【図 8】



【図 6】

